

SEMICONDUCTOR DEVICE

Patent Number: JP11163251

Publication date: 1999-06-18

Inventor(s): YOSHIDA TAKAYUKI; MIMURA TADA AKI

Applicant(s): MATSUSHITA ELECTRON CORP

Requested Patent: JP11163251

Application Number: JP19970327257 19971128

Priority Number(s):

IPC Classification: H01L25/065; H01L25/07; H01L25/18

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a semiconductor device, which is capable of suppressing the noise so-called simultaneous switching noise or ground noise generated in a power supply part, when many circuits on the first semiconductor element are switched at the same time, and preventing mis-operations of the second semiconductor element.

SOLUTION: A first semiconductor element 1 and a second semiconductor element 2, which electrically connects an electrode pad 7 of this first semiconductor element 1 to an electrode pad 8 via a bump 6, are provided. The supply of a power source to the first semiconductor element 1 is performed via another independent system but not via the second semiconductor element 2. An external circuit, which is independent of the circuit of the second semiconductor circuit 2, is provided at the second semiconductor element 2. The power supply path of the circuit is connected to the first semiconductor element 1.

Data supplied from the **esp@cenet** database - I2

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-163251

(43) 公開日 平成11年(1999)6月18日

(51) Int.Cl.⁶
H 01 L 25/065
25/07
25/18

識別記号

F I
H 01 L 25/08

B

審査請求 未請求 請求項の数4 OL (全7頁)

(21) 出願番号 特願平9-327257

(22) 出願日 平成9年(1997)11月28日

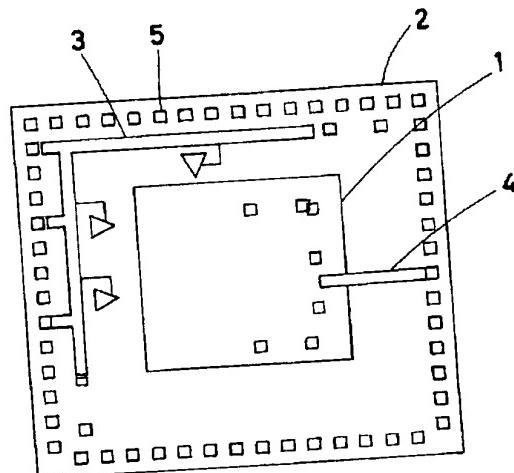
(71) 出願人 000005843
松下電子工業株式会社
大阪府高槻市幸町1番1号
(72) 発明者 吉田 隆幸
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
(72) 発明者 三村 忠昭
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
(74) 代理人 弁理士 宮井 営夫

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】第1の半導体素子上の回路が同時に多数スイッチングした場合、電源部に発生するいわゆる同時スイッチングノイズ、またはグランドバウンズと呼ばれるノイズを抑制し、第2の半導体素子の誤動作を防止することができる半導体装置を提供する。

【解決手段】第1の半導体素子1と、この第1の半導体素子1の電極パッド7をバンプ6を介して電極パッド8と接続した第2の半導体素子2とを備え、第1に電気的に接続した第2の半導体素子2とを備え、第1の半導体素子1への電源の供給が、第2の半導体素子2の回路と独立した別系統より行なわれる。第2の半導体素子2の回路と独立した外部回路を第2の半導体素子2に設け、その給電線路を第1の半導体素子1に接続する。



- 1 … 第1の半導体素子
- 2 … 第2の半導体素子
- 3 … 第2の半導体素子の電源部
- 4 … 給電線路
- 5 … 第2の半導体素子の外部パッド

【特許請求の範囲】

【請求項1】 第1の半導体素子と、この第1の半導体素子の電極パッドを金属突起を介して電極パッドに電気的に接続した第2の半導体素子とを備え、前記第1の半導体素子および前記第2の半導体素子の一方への電源の供給が、他方を介さずに独立した別系統より行なわれることを特徴とする半導体装置。

【請求項2】 第1の半導体素子が第2の半導体素子上に搭載され、前記第2の半導体素子上に前記第2の半導体素子上の回路と独立した外部回路を設け、この外部回路の給電線路に第1の半導体素子を接続している請求項1記載の半導体装置。

【請求項3】 第1の半導体素子が第2の半導体素子上に搭載され、前記第1の半導体素子への給電部分近傍の電源線路と接地間にコンデンサを有する請求項1記載の半導体装置。

【請求項4】 コンデンサは高誘電率薄膜であり、第2の半導体素子上に設けられている請求項3記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、電子部品を実装する実装分野におけるマルチチップモジュールなどに適用される半導体装置に関するものである。

【0002】

【従来の技術】近年、電子機器は益々、小型化、高機能化、動作速度の高速化、およびモジュール化が進行している。また、これらマルチチップモジュールの中に、半導体素子上にさらに別の半導体素子を搭載し、1つのパッケージ内に搭載する構成のものも提案されている。以後、このようなマルチチップモジュールを通常の基板を用いたマルチチップモジュールと区別するため、便宜上システムモジュールと呼ぶこととする。

【0003】以下図面を参照しながら、従来のシステムモジュールの一例について説明する。図6は従来のシステムモジュールの半導体素子接合部の断面構成を示すものである。図6において、51は第1の半導体素子である。52は第1の半導体素子51の電極パッド、53は電極パッド52上に形成されたバリアメタル層、54は第1の半導体素子51上のパッシベーション膜、55ははんだ等から形成される金属突起（以下バンプと呼ぶ）、56は第2の半導体素子である。57は第2の半導体素子56の電極パッド、58は電極パッド57上に形成されたバリアメタル層、59は第2の半導体素子56上のパッシベーション膜を表す。また、60は絶縁樹脂を示す。半導体素子51, 56はバンプ55を介してフリップチップ実装法により搭載される。

【0004】図7に従来のシステムモジュールのチップ同士の接合工程部分の工程の一例を示す。同図(a)のように、第1の半導体素子51、および第2の半導体素子

56上少なくとも一方にE B蒸着法等を用い、Ti、Pd、Au等のバリアメタル層53, 58を形成する。次に(b)のように第1、第2の半導体素子51、56の少なくとも一方の電極パッド52、57を除く部分をフォトリソグラフィーの技術を用いフォトレジスト61により覆う。

(c)のように第1、第2の半導体素子51、56の少なくとも一方も電極パッド52、57上に電解めっき法等により、Pb、Snをめっきする。(d)のようにフォトレジスト61を除去し、バリアメタルを王水、フッ酸等により除去し、バンプ55を形成する。(e)のように第1、第2の半導体素子51、56上のバンプ55同士、またはそのうちのいずれか一方たとえば第1の半導体素子51上のみにバンプ55が形成された場合、バンプ55と第2の半導体素子56の電極パッド57を位置合わせし加圧ツール62により加圧、加熱を行う。最後に(f)のように絶縁樹脂60を第1、第2の半導体素子51、56中に注入し、樹脂60を硬化させ第2の半導体素子56上への第1の半導体素子51の搭載を完了する。

【0005】

【発明が解決しようとする課題】しかしながら上記のような構成では、第1、第2の半導体素子51、56は対向した状態で、かつ第2の半導体素子56上に第1の半導体素子51が搭載された構成において、第1の半導体素子51への電源の供給は第2の半導体素子56を介して行われる。第1の半導体素子51上の回路が同時に多数スイッチングした場合、電源部にいわゆる同時スイッチングノイズ、またはグランドバウンズと呼ばれるノイズが発生する。このとき第2の半導体素子56への電源供給線路にもノイズが発生し、第2の半導体素子56の動作に誤動作が発生するという問題点を有していた。

【0006】この発明は、上記問題点に鑑み、たとえば第1の半導体素子上の回路が同時に多数スイッチングした場合、電源部に発生するいわゆる同時スイッチングノイズ、またはグランドバウンズと呼ばれるノイズを抑制し、第2の半導体素子の誤動作を防止することができる半導体装置を提供することを目的とするものである。

【0007】

【課題を解決するための手段】請求項1の半導体装置は、第1の半導体素子と、この第1の半導体素子の電極パッドを金属突起を介して電極パッドに電気的に接続した第2の半導体素子とを備え、第1の半導体素子および第2の半導体素子の一方への電源の供給が、他方を介さずに独立した別系統より行なわれることを特徴とするものである。

【0008】請求項1の半導体装置によれば、第1、第2の半導体素子の電源系は独立したものとなり、たとえば第1の半導体素子上の回路が同時に多数スイッチングした場合、第2の半導体素子の電源部に発生するいわゆる同時スイッチングノイズ、またはグランドバウンズと呼ばれるノイズを抑制することができ、第2の半導体

子の誤動作を防止することができる。

【0009】請求項2の半導体装置は、請求項1において、第1の半導体素子が第2の半導体素子上に搭載され、第2の半導体素子上に第2の半導体素子上の回路と独立して外部回路に接続される第1の半導体素子用の給電線路を有するものである。請求項2の半導体装置によれば、請求項1と同様な効果がある。請求項3の半導体装置は、請求項1において、第1の半導体素子が第2の半導体素子上に搭載され、第1の半導体素子への給電部分近傍の電源線路と接地間にコンデンサを有するものである。

【0010】請求項3の半導体装置によれば、たとえば第1の半導体素子上の回路が同時に多数スイッチングした場合、電源部に発生するいわゆる同時スイッチングノイズ、またはグランドバウンズと呼ばれるノイズをバス用コンデンサより逃がすことができ、これらの影響を抑制することが可能となる。請求項4の半導体装置は、請求項3において、コンデンサは高誘電率薄膜であり、第2の半導体素子上に設けられているものである。

【0011】請求項4の半導体装置によれば、請求項3と同様な効果がある。

【0012】

【発明の実施の形態】以下、この発明の実施の形態について、図1から図5を用いて説明する。

(第1の実施の形態) 図1は、この発明の第1の実施の形態におけるシステムモジュールを真上から眺めた場合の電源供給部分を模しき的に示した平面図である。図1において、1は第1の半導体素子、2は第2の半導体素子、3は第2の半導体素子2の模しき図で表した電源部、4は第2の半導体素子2上を介して第1の半導体素子1へ電源を供給する第2の半導体装置2と独立した模しき図で表した給電線路(電源供給ライン)、5は第2の半導体素子2の外部パッドを示す。

【0013】図2(a)は図1に示したモジュールの断面模しき図である。6は金属突起であるバンプ、7は第1の半導体素子1のバンプ6に接続される電極パッド、8は第2の半導体素子のバンプ6に接続される電極パッド、9は絶縁樹脂を示す。この半導体装置は、第1の半導体素子1と、この第1の半導体素子1の電極パッド7をバンプ6を介して電極パッド8に電気的に接続した第2の半導体素子2とを備え、第1の半導体素子1および第2半導体素子2の一方への電源の供給が、他方を介さずに独立した別系統より行なわれる。この場合、第1の半導体素子1が第2の半導体素子2上に搭載され、第2の半導体素子2上に第2の半導体素子2上の回路と独立した外部回路を設け、外部回路の給電線路4に第1の半導体素子1を接続している。

【0014】図3は第1の実施の形態におけるシステムモジュールの半導体素子搭載部の製造工程の一例を示す。同図(a)のように第1の半導体素子1の電極パッ

ド7上に無電解めっき法等を用いてNiコアAu等によるバンプ6(たとえばほぼ純Ni(純度95%程度)のNiバンプを作製し、その表面に薄膜(0.1μm程度の厚み)のAu(純度95%以上)を形成したバンプ)を形成する。バンプ6はAuのみの構成、Sn、Pb(鉛-錫系はんだ)、またはIn、Sn(インジウム-錫系はんだ)等から構成されるはんだバンプ等でもよい。また、転写バンプ法による形成も可能である。バンプ6の径は、NiコアAuバンプ、Auバンプの場合は5μmから100μm、はんだバンプの場合は100μm程度のものを用いる。また、バンプ6は第1の半導体素子1上、第2の半導体素子2上の両方に形成することも可能であり、第2の半導体素子2のみに形成することも可能である。次ぎに(b)のように、第2の半導体素子2の電極パッド8と対応する第1の半導体素子1上のバンプ6を位置合わせする。(c)のように、加圧、加熱ツール11を用いて第1、第2の半導体素子1、2をバンプ1つあたり0.1グラムから100グラム程度の加圧力、250°Cから450°C程度の温度で加圧、加熱し、Au-Au合金接合する。また、一方の半導体素子の電極パッド表面のみAuが形成されており、対向する他方の半導体素子上電極パッドに加工が施されておらず、通常のAlパッドのままのときはAu-Al合金接合する。はんだ合金接合の場合は60°Cから250°C程度の温度で、第1の半導体素子1の自重から数グラム程度の圧力で加圧、加熱し、第1の半導体素子1を第2の半導体素子2上に搭載する。このとき、合金接合以外にも、COG法として広く知られている絶縁樹脂を介した接合法を用いたMBB(マイクロバンプボンディング)法等のフリップチップ法を用いてよい。次ぎに(d)のように、第1の半導体素子1と第2の半導体素子2の間に絶縁樹脂9を注入し、硬化させる。

【0015】以上のように、第2の半導体素子2上に少なくとも1つ以上の、第2の半導体素子2上の回路と独立した外部回路からの第1の半導体素子1への給電線路4を有する構造を用いることにより、第1、第2の半導体素子1、2の電源系は独立したものとなり、第1の半導体素子1上の回路が同時に多数スイッチングした場合、電源部に発生するいわゆる同時スイッチングノイズ、またはグランドバウンズと呼ばれるノイズを無関係にすることが可能となる。

【0016】またこの時、第2の半導体素子2の表面を介さず、第1の半導体素子1に図2(b)に示すようにバイアホール10を形成し、給電線路4を第1の半導体素子1上に形成し、第1の半導体素子1に直接電源を供給することも可能である。なお、外部回路および給電線路4は1以上あってよい。

(第2の実施の形態) 図4は、この発明の第2の実施の形態におけるシステムモジュールを第1の半導体素子3の真上から透写した平面構造を示したものである。図

4において、31は第1の半導体素子、32は第2の半導体素子、33は第2の半導体素子32および第1の半導体素子31の模しき図で表した電源部、34は第2の半導体素子32上を介して第2の半導体素子32の電源線路33aすなわち電源を供給する部分と接地ライン35との間に挿入されるコンデンサを示す。コンデンサ34はSTR(ストロンチウムチタン酸: SrTiO₃)等の高誘電体膜、またはセラミックチップコンデンサをはんだ付け等で接続されたものでも良い。36は第2の半導体素子32の外部パッドを示す。また、37は絶縁樹脂を示す。

【0017】この半導体装置は、第1の半導体素子31が第2の半導体素子32上に搭載され、第1の半導体素子31への給電部分近傍の電源線路33aと接地間にコンデンサ34を有するものである。図5は、第2の実施の形態におけるシステムモジュールの半導体素子搭載部の製造工程の一例を示す。

【0018】(a)のように、第2の半導体素子32上の電源部33と接地ライン35間にSTR等の高誘電率薄膜等よりなるコンデンサ34をスパッタ法等により形成し、他の工程を終了した後保護膜42を形成する。次に(b)のように、第1の半導体素子31の電極パッド38上に無電解めっき法等を用いてNiコアAu等よりなるバンプ39を形成する。バンプ39はAuのみの構成、Sn、Pb(鉛-錫系はんだ)、またはIn、Sn(インジウム-錫系はんだ)等から構成されるはんだバンプ等でもよい。また、転写バンプ法による形成も可能である。バンプ39の径は、NiコアAuバンプ、Auバンプの場合は5μmから100μm、はんだバンプの場合は100μm程度のものを用いる。また、バンプ39は第1の半導体素子31上、第2の半導体素子32上の両方に形成することも可能であり、第2の半導体素子32上ののみに形成することも可能である。次ぎに(c)のように、第2の半導体素子32の電極パッド40と対応する第1の半導体素子31上のバンプ39を位置合わせする。(d)のように加圧、加熱ツール41を用いて第1、第2の半導体素子31、32をバンプ1個あたり0.1グラムから100グラム程度の加圧力、250°Cから450°C程度の温度で加圧、加熱しAu-Au合金接合、またはAu-A1合金接合する。はんだ合金接合の場合は60°Cから250°C程度の温度で、半導体素子31の自重から数グラム程度の圧力で加圧、加熱し第1の半導体素子31を第2の半導体素子32上に搭載する。このとき、合金接合以外にも、COG法として広く知られている絶縁樹脂を介した接合法を用いたMBB(マイクロバンプボンディング)法等のフリップチップ法を用いてもよい。次ぎに(e)のように、第1の半導体素子31と第2の半導体素子32の間に絶縁樹脂37を注入し、硬化させる。

【0019】なお、STR等は第2の半導体素子32上

に形成したが、第1の半導体素子31上にも形成可能である。また、STR等の薄膜コンデンサ34以外にも、接続パッドを設けチップコンデンサ等をはんだづけ等で搭載することも可能である。以上のように、第2の半導体素子32上に第1の半導体素子31を対向させそれぞれの対応する金属突起を介して電気的に接続し、第2の半導体素子32を介して第1の半導体素子31へ電源を供給する構造において、第1の半導体素子31への給電部分近傍の第2の半導体素子32上の電源線路と接地間に高誘電率薄膜等よりなるコンデンサ34を配置した構造により半導体装置を構成することにより、第1の半導体素子31上の回路が同時に多数スイッチングした場合、電源部に発生するいわゆる同時スイッチングノイズ、またはグランドバウンズと呼ばれるノイズをバス用コンデンサより逃がすことができ、これらの影響を抑制することが可能となる。

【0020】

【発明の効果】請求項1の半導体装置によれば、第1、第2の半導体素子の電源系は独立したものとなり、たとえば第1の半導体素子上の回路が同時に多数スイッチングした場合、第2の半導体素子の電源部に発生するいわゆる同時スイッチングノイズ、またはグランドバウンズと呼ばれるノイズを抑制することができ、第2の半導体素子の誤動作を防止することができる。

【0021】請求項2の半導体装置によれば、請求項1と同様な効果がある。請求項3の半導体装置によれば、たとえば第1の半導体素子上の回路が同時に多数スイッチングした場合、電源部に発生するいわゆる同時スイッチングノイズ、またはグランドバウンズと呼ばれるノイズをバス用コンデンサより逃がすことができ、これらの影響を抑制することができる。

【0022】請求項4の半導体装置によれば、請求項3と同様な効果がある。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態におけるシステムモジュールの平面模しき図である。

【図2】(a)および(b)はその断面模しき図である。

【図3】第1の実施の形態におけるシステムモジュールの製造工程図である。

【図4】第2の実施の形態におけるシステムモジュールの平面模しき図である。

【図5】第2の実施の形態におけるシステムモジュールの製造工程図である。

【図6】従来例におけるシステムモジュールの半導体接合部を示す断面図である。

【図7】従来例におけるシステムモジュールの半導体接合部の製造工程図である。

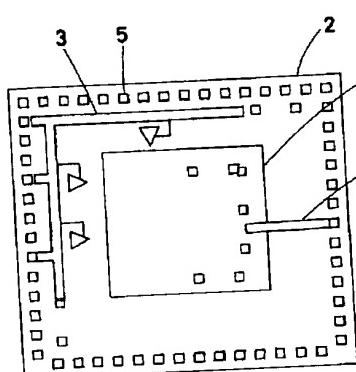
【符号の説明】

1 第1の半導体素子

- 2 第2の半導体素子
3 第2の半導体素子の電源部
4 給電線路
5 第2の半導体素子の外部パッド
6 バンプ
7 電極パッド
8 電極パッド
9 絶縁樹脂
31 第1の半導体素子

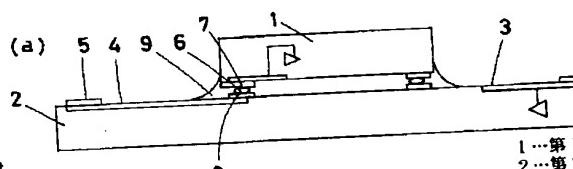
- 32 第2の半導体素子
33 第1の半導体素子および第2の半導体素子の電源部
33a 電源線路
34 コンデンサ
35 接地ライン
36 第2の半導体素子の外部パッド
37 絶縁樹脂

【図1】

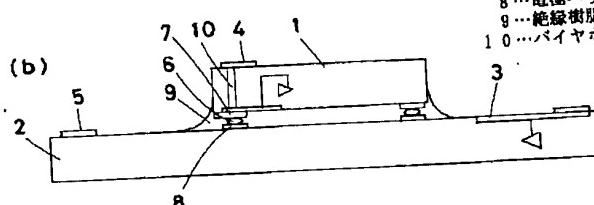


- 1…第1の半導体素子
2…第2の半導体素子
3…第2の半導体素子の電源部
4…給電線路
5…第2の半導体素子の外部パッド

【図2】

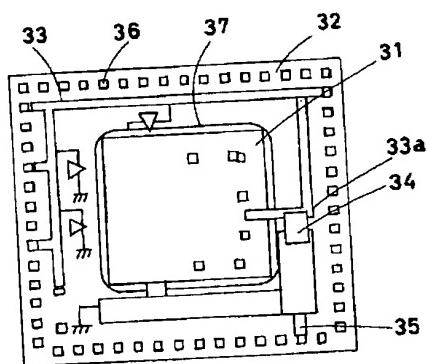


- 1…第1の半導体素子
2…第2の半導体素子
3…第2の半導体素子の電源部
4…給電線路
5…第2の半導体素子の外部パッド
6…バンプ
7…電極パッド
8…電極パッド
9…絶縁樹脂
10…バイヤホール

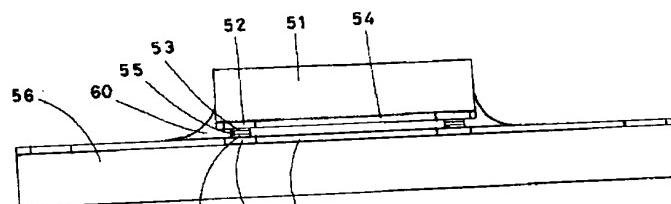


【図6】

【図4】

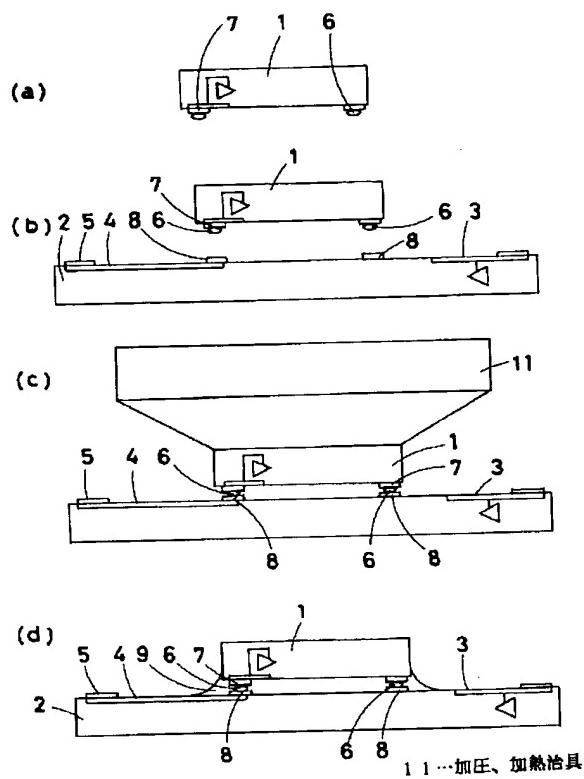


- 31…第1の半導体素子
32…第2の半導体素子
33…第1の半導体素子および第2の半導体素子の電源部
33a…電源線路
34…コンデンサ
35…接地ライン
36…第2の半導体素子の外部パッド
37…絶縁樹脂

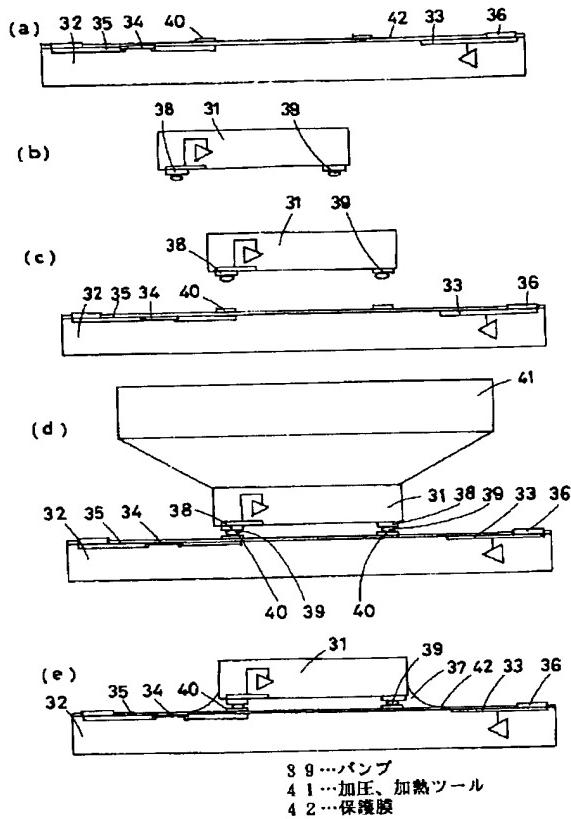


- 51…第1の半導体素子
52…第1の半導体素子の電極パッド
53…電極パッド52上に形成されたバリアメタル
54…第1の半導体素子上のバリアメタル
55…バンプ
56…第2の半導体素子
57…第2の半導体素子の電極パッド
58…電極パッド57上に形成されたバリアメタル
59…第2の半導体素子上のバッシベーション膜
60…絶縁樹脂

【図3】



【図5】



【図 7】

